

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-327914

(43)Date of publication of application : 22.12.1997

(51)Int.Cl. B41J 2/05

(21)Application number : 08-145975

(71)Applicant : CANON INC

(22)Date of filing : 07.06.1996

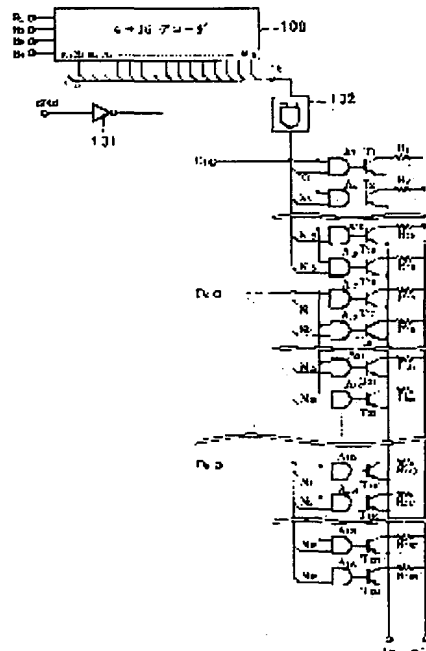
(72)Inventor : TAMURA YASUYUKI

(54) RECORDING HEAD AND RECORDER USING THE HEAD

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a malfunction to less and to conduct a recording operation with high reliability by selecting a block to be divided and driven according to a block selection signal when a recording element is driven, and outputting a drive signal to a driving circuit in response to recording data and the selection signal input from an input circuit.

SOLUTION: Signals indicating '0' (0000) to '15' (1111) in a binary expression are sequentially sent in combination of block control signals B1 to B4 sent from a printer. Thus, only one of block selection signals N1 to N16 of outputs of a 4 → 16 decoder 100 sequentially becomes 'high'. These selection signals are supplied to generating elements H1 to H128 via an AND circuit 102. On the other hand, since an inverted signal of an enable signal ENB sent from the printer is supplied to the circuit 102, the signals N1 to N16 are supplied to the element H1 to H128 to drive it only when the signal ENB is 'low'.



LEGAL STATUS

[Date of request for examination] 20.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3347584

[Date of registration] 06.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-327914

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl.⁸

B 4 1 J 2/05

識別記号

庁内整理番号

F I

B 4 1 J 3/04

技術表示箇所

1 0 3 B

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平8-145975

(22) 出願日 平成8年(1996)6月7日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 田村 泰之

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

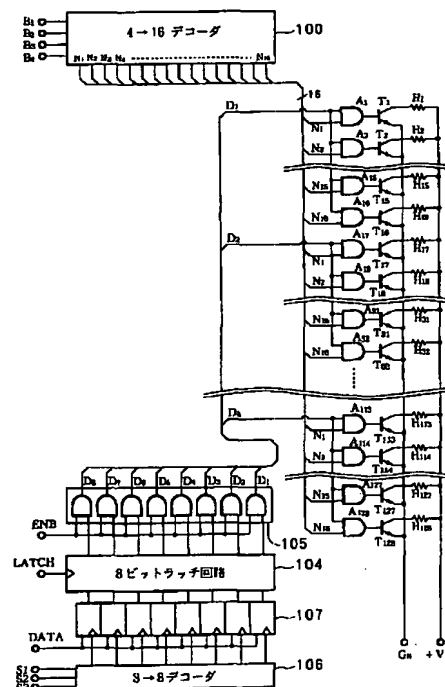
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 記録ヘッド及びその記録ヘッドを用いた記録装置

(57) 【要約】

【課題】 誤動作の発生が少なく信頼性の高い、コンパクトで安価な記録ヘッドとその記録ヘッドを用いた記録装置を提供する。

【解決手段】 記録データ DATA の入力タイミングと発熱素子 H₁ ~ H₁₂₈ との駆動タイミングを異ならせるように記録制御を行い、さらに、記録データ DATA をシリアルに記録ヘッドに入力し、その入力記録データをフリップフロップに格納するように記録ヘッドを構成する。



【特許請求の範囲】

【請求項 1】 M 個ずつ N 個のブロックに分割されて M 個ずつ N 回に分けて分割駆動される M×N 個の記録素子と、前記 M×N 個の記録素子に通電して駆動する M×N 個の駆動回路と、前記分割駆動されるブロックを選択する選択回路と、M 個の記録素子に対応した記録データを入力する入力回路と、前記入力回路から入力する記録データと前記選択回路によるブロック選択信号に応じて駆動信号を前記駆動回路に出力する出力回路とを有することを特徴とする記録ヘッド。

【請求項 2】 前記出力回路は、前記選択回路によるブロック選択信号と前記記録データとの論理積を演算する AND 回路を備え、前記 AND 回路の演算結果によって前記駆動信号を前記駆動回路に出力することを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 3】 前記出力回路は、M ビットパラレルに入力される記録データと前記ブロック選択信号との論理積を演算し、該演算結果に基づいて記録素子を駆動するための駆動信号を出力することを特徴とする請求項 2 に記載の記録ヘッド。

【請求項 4】 前記入力回路は、供給されるクロックに従って記録データをシリアルに入力して一時的に格納するシフトレジスタと、前記シフトレジスタに格納された記録データをラッチするラッチ回路とを有することを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 5】 前記出力回路は、前記ラッチ回路によってラッチされた記録データと前記ブロック選択信号との論理積を演算する AND 回路を備え、前記 AND 回路の演算結果に従って前記駆動回路に前記駆動信号を出力することを特徴とする請求項 4 に記載の記録ヘッド。

【請求項 6】 前記入力回路は、記録データを入力して一時的にホールドする複数のフリップフロップと、前記フリップフロップに格納された記録データをラッチするラッチ回路と、選択信号を入力してデコードし前記デコード結果に従って前記記録データをホールドすべきフリップフロップを前記複数のフリップフロップから選択するデコード回路とを有することを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 7】 前記記録素子は発熱体を備えることを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 8】 前記記録ヘッドは、前記発熱体から発生する熱エネルギーを利用してインクを吐出する記録ヘッ

ドであることを特徴とする請求項 7 に記載の記録ヘッド。

【請求項 9】 前記記録ヘッドは、インクを吐出して記録を行うインクジェット記録ヘッドであることを特徴とする請求項 1 に記載の記録ヘッド。

【請求項 10】 請求項 1 に記載の記録ヘッドを備えたことを特徴とする記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は記録ヘッド及びその記録ヘッドを用いた記録装置に関し、特に、例えば、熱エネルギーを利用してインクを吐出するインクジェット方式に従った記録ヘッド及びその記録ヘッドを用いた記録装置に関する。

【0002】

【従来の技術】熱エネルギーを利用して記録を行うインクジェット方式に従う記録ヘッドは、インク液滴を吐出する吐出口に連通する部位に発熱素子を設け、この発熱素子に数 μ 秒程度の間通電することにより、インク中に気泡を発生させ、インク液滴を吐出し記録を行なう。このような記録ヘッドは、多数の吐出口及び発熱素子を高密度に配置することが容易であり、これにより、高精細な記録画像を行うことができる。

【0003】さて、このような記録ヘッドの全ての発熱素子を同時に駆動すると瞬時に流れる電流が大きくなってしまうので、通常は、数10ないし数100の発熱素子を4ないし8程度のブロックに分け、ブロック毎の駆動のタイミングを僅かに異ならせることにより、瞬時に流れる電流を低く押えるようにしている。

【0004】また、多数の発熱素子を駆動するにあたり、各々の発熱素子に電力を供給する線を記録ヘッド外部より設けると配線数が多くなり、記録ヘッドとこれを搭載する記録装置本体との間の電氣的接続がやっかいになるという問題がある。このため、通常は、記録ヘッドに発熱素子の駆動回路を内蔵し、記録ヘッドと記録装置との間の配線数が多くならないようにしている。この駆動回路は発熱素子の基板とは独立に設けられ、両者の間をワイヤボンディングなどの方法で接続していたが、最近では、発熱素子の基板として駆動回路を内蔵した Si (シリコン) ウエハが広く用いられている。

【0005】この駆動回路の構成には、様々なものがあるが、以下にその代表的な構成を挙げる。

【0006】(1) まず最も一般的な構成として、発熱素子の数と等しいビット数のシフトレジスタ、ラッチ回路、ゲート、トランジスタを設け、記録データを記録装置よりそのシフトレジスタにシリアル転送し、これをラッチし、ラッチされた信号でブロック毎に与えられる駆動信号に対応するゲートを介してトランジスタを駆動するものがある。

【0007】(2) これは、ダイオードマトリックスを

用いる構成である。即ち、発熱素子を $N \times M$ のマトリックスに配線し、各発熱素子間の電流のクロストークを避けるため、各発熱素子に直列にダイオードを設けるように構成している。従って、記録ヘッド外部と接続する配線の数は、 $N+M$ でよい。

【0008】(3)これは、トランジスタマトリックスを用いる構成である。これは、各発熱素子に対応したトランジスタを設け、そのコレクタを発熱素子の一端に接続し、エミッタを共通に接続した回路を用い、発熱素子の電力供給線とトランジスタのベース信号線をマトリックスに配線し、駆動するものである。従って、記録ヘッド外部と接続すべき配線の数は、ダイオードマトリックスを用いる構成と比較してエミッタの共通配線だけ多くなるのみである。トランジスタとしてはバイポーラトランジスタ、FETの何れでも良い。

【0009】

【発明が解決しようとする課題】しかしながら上記従来例の駆動回路では、以下のような問題がある。

【0010】即ち、上記(1)で述べた構成であるシフトレジスタやラッチを設けたものは、接続すべき配線の数が少ないという利点があるものの、回路規模が大きいためコストが高いという問題がある。殊に発熱素子の数が多い場合には駆動回路の製造時の歩留まりが低く、著しくコストを高くしてしまう。また、発熱素子を駆動するときには瞬時に大きな電流が流れ、強い電氣的ノイズが発生するが、この構成の回路は多数のフリップフロップを高速のクロックで駆動する回路であるので、シフトレジスタのデータがノイズによりシフトしたり、データが変化するなどの問題が生じ易い。加えて、発熱素子は複数のブロックに分割され、僅かに動作タイミングを異ならせて駆動されるので、1回のデータ転送の間に強いノイズが繰返し発生し、さらに、誤動作の確率が高くなる。

【0011】ダイオードマトリックスやトランジスタマトリックスを用いた回路では、基本的にフリップフロップを用いていないので、強いノイズが混入した場合でも、そのノイズの入った瞬間以外は正常な動作をし、一瞬のノイズの影響がその後に及ぶことがないので、誤動作の問題は少ない。また、通常、1回の記録動作で発熱素子は数 μsec 駆動されるのに対し、ノイズの発生時間は10 ns 程度の場合が多く、その影響は無視することが出来る。しかし、この2つの回路構成は何れも、記録ヘッド内の駆動回路を駆動する記録装置側の回路で電力線を高速度でスイッチングする必要がある。そのため、記録装置側の駆動回路が大形かつ高価になるという問題がある。さらに、記録ヘッドの電源から接地の間に、発熱素子のプラス側でスイッチングするトランジスタ、マイナス側でスイッチングするトランジスタの2つのトランジスタが存在することになるので、電力の損失が大きいという問題がある。

【0012】さらに、ダイオードマトリックスやトランジスタマトリックスを用いたマトリックスドライブの回路では、信号線の本数が $N+M$ 本以上必要であるので、ノズル数の多い、即ち、多くの発熱素子を駆動する記録ヘッドでは、記録ヘッドと記録装置とを電氣的に接続する配線の数が多くなってしまうという問題が生じる。これは結局のところコストの上昇や信頼性の低下につながる。

【0013】本発明は上記従来例に鑑みてなされたもので、誤動作の発生が少なく信頼性の高い、コンパクトで安価な記録ヘッドとその記録ヘッドを用いた記録装置を提供することを目的としている。

【0014】

【課題を解決するための手段】上記目的を達成するために本発明の記録ヘッドは、以下のような構成からなる。

【0015】即ち、 M 個ずつ N 個のブロックに分割されて M 個ずつ N 回に分けて分割駆動される $M \times N$ 個の記録素子と、前記 $M \times N$ 個の記録素子に通電して駆動する $M \times N$ 個の駆動回路と、前記分割駆動されるブロックを選択する選択回路と、 M 個の記録素子に対応した記録データを入力する入力回路と、前記入力回路から入力する記録データと前記選択回路によるブロック選択信号に応じて駆動信号を前記駆動回路に出力する出力回路とを有することを特徴とする記録ヘッドを備える。

【0016】また他の発明によれば、上記構成の記録ヘッドを用いた記録装置を備える。

【0017】

【発明の実施の形態】以上の構成により本発明の記録ヘッドは、 M 個ずつ N 個のブロックに分割されて M 個ずつ N 回に分けて分割駆動される $M \times N$ 個の記録素子と、 $M \times N$ 個の記録素子に通電して駆動する $M \times N$ 個の駆動回路と、 M 個の記録素子に対応した記録データを入力する入力回路とを備え、その駆動回路により記録素子を駆動する場合には、分割駆動されるブロックをブロック選択信号によって選択し、入力回路から入力される記録データとブロック選択信号に応じて駆動信号を駆動回路に出力するよう動作する。

【0018】ここで、駆動信号を駆動回路に出力する出力回路は、ブロック選択信号と記録データとの論理積を演算するAND回路を備え、そのAND回路の演算結果によって駆動信号を駆動回路に出力するように構成しても良いし、さらに、出力回路は、 M ビットパラレルに入力される記録データとブロック選択信号との論理積を演算し、その演算結果に基づいて記録素子を駆動するための駆動信号を出力するようにしても良い。

【0019】また、入力回路は、供給されるクロックに従って記録データをシリアルに入力して一時的に格納するシフトレジスタと、シフトレジスタに格納された記録データをラッチするラッチ回路とを有するように構成できる。

【0020】そして、上記の出力回路は、ラッチ回路によってラッチされた記録データとブロック選択信号との論理積を演算するAND回路を備え、そのAND回路の演算結果に従って駆動回路に駆動信号を出力するように構成できる。

【0021】或は、上記の入力回路は、記録データを入力して一時的にホールドする複数のフリップフロップと、フリップフロップに格納された記録データをラッチするラッチ回路と、選択信号を入力してデコードし、そのデコード結果に従って記録データをホールドすべきフリップフロップを複数のフリップフロップから選択するデコード回路とを有するように構成しても良い。

【0022】なお、記録ヘッドの記録素子は発熱体を備え、その発熱体から発生する熱エネルギーを利用してインクを吐出して記録を行うインクジェット記録ヘッドを用いることができる。

【0023】以下添付図面を参照して本発明の好適な実施形態について詳細に説明する。

【0024】＜装置本体の概略説明＞図1は、本発明の代表的な実施の形態であるインクジェットプリンタ（以下、プリンタという）IJRAの構成の概要を示す外観斜視図である。図1において、駆動モータ5013の正逆回転に連動して駆動力伝達ギア5009～5011を介して回転するリードスクリュー5005の螺旋溝5004に対して係合するキャリッジHCはピン（不図示）を有し、ガイドレール5003に支持されて矢印a、b方向を往復移動する。キャリッジHCには、記録ヘッドIJHとインクタンクITとを内蔵した一体型インクジェットカートリッジIJCが搭載されている。5002は紙押え板であり、キャリッジHCの移動方向に互って記録用紙Pをプラテン5000に対して押圧する。5007、5008はフォトカブラで、キャリッジのレバー5006のこの域での存在を確認して、モータ5013の回転方向切り換え等を行うためのホームポジション検知器である。5016は記録ヘッドIJHの前面をキャップするキャップ部材5022を支持する部材で、5015はこのキャップ内を吸引する吸引器で、キャップ内開口5023を介して記録ヘッドの吸引回復を行う。5017はクリーニングブレードで、5019はこのブレードを前後方向に移動可能にする部材であり、本体支持板5018にこれらが支持されている。ブレードは、この形態でなく周知のクリーニングブレードが本例に適用できることは言うまでもない。又、5021は、吸引回復の吸引を開始するためのレバーで、キャリッジと係合するカム5020の移動に伴って移動し、駆動モータからの駆動力がクラッチ切り換え等の公知の伝達機構で移動制御される。

【0025】これらのキャッピング、クリーニング、吸引回復は、キャリッジがホームポジション側の領域にきた時にリードスクリュー5005の作用によってそれら

の対応位置で所望の処理が行えるように構成されているが、周知のタイミングで所望の動作を行うようにすれば、本例にはいずれも適用できる。

【0026】＜制御構成の説明＞次に、上述した装置の記録制御を実行するための制御構成について説明する。

【0027】図2はプリンタIJRAの制御回路の構成を示すブロック図である。制御回路を示す同図において、1700は記録信号を入力するインタフェース、1701はMPU、1702はMPU1701が実行する制御プログラムを格納するプログラムROM、1703は各種データ（上記記録信号やヘッドに供給される記録データ等）を保存しておくダイナミック型のRAMである。1704は記録ヘッド1708に対する記録データの供給制御を行うゲートアレイであり、インタフェース1700、MPU1701、RAM1703間のデータ転送制御も行う。1710は記録ヘッド1708を搬送するためのキャリアモータ、1709は記録紙搬送のための搬送モータである。1705はヘッドを駆動するヘッドドライバ、1706、1707はそれぞれ搬送モータ1709、キャリアモータ1710を駆動するためのモータドライバである。

【0028】上記制御構成の動作を説明すると、インタフェース1700に記録信号が入るとゲートアレイ1704とMPU1701との間で記録信号がプリント用の記録データに変換される。そして、モータドライバ1706、1707が駆動されると共に、ヘッドドライバ1705に送られた記録データに従って記録ヘッドが駆動され、記録が行われる。

【0029】以下、上記構成のプリンタIJRAで用いられる記録ヘッドIJHの3つの実施形態について説明する。なお、以下に説明する実施形態の記録ヘッドIJHは全て、128個の記録素子を有し、これらの記録素子が8個づつ16のブロック（分割数N：16）に分割され、各ブロックより1つずつの記録素子（8個の記録素子）が同時に駆動される（同時駆動記録素子数M：8）構成となっている。また、3つの実施形態において、共通の構成要素には同じ参照番号（記号）を付して説明する。

【0030】＜記録ヘッドIJHの第1の実施形態＞図3は記録ヘッドIJHの第1の実施形態に従う駆動回路の構成を示すブロック図である。図3において、100はプリンタIJRAから供給されるブロック制御信号B1、B2、B3、B4を入力してデコードしブロック選択信号N1、N2、…、N16を発生する4→16デコーダ、101はプリンタIJRAから供給されるイネーブル信号ENBを反転するインバータ、102は反転されたイネーブル信号ENBとブロック選択信号N1、N2、…、N16各々の論理積を演算する16個のAND回路、H1～H128は発熱素子、T1～T128は発熱素子H1～H128に通電するパワートランジスタ、

A1～A128はパワートランジスタT1～T128に対応したAND回路である。

【0031】また、AND回路A1～A128は、プリンタIJRAから入力される記録信号D1～D8とブロック選択信号N1、N2、…、N16との論理積とを演算する。

【0032】この構成から明らかなように、記録素子の分割数(N)は16であるが、デコーダにより4つの信号線より入力されるブロック制御信号B1、B2、B3、B4に基づいて、16個のブロック選択信号N1、N2、…、N16を発生している。さらに、誤動作により発熱素子H1～H128が駆動されることを確実に防止するためにイネーブル信号ENBを供給する信号線が備えられている。

【0033】図4は図3に示す構成の記録ヘッドIJHの駆動タイミングを示すタイムチャートである。このタイムチャートによれば、プリンタIJRAから送られるブロック制御信号B1～B4の組み合わせによってバイナリ表現で0(0000)から15(1111)を示す信号が順次送られる。これによって、4→16デコーダ100の出力であるブロック選択信号N1～N16が順次1つだけ“ハイ”となる。しかしながら、これらのブロック選択信号は直接、AND回路A1～A128、パワートランジスタT1～T128、そして、発熱素子H1～H128に供給されるのではなく、AND回路102を介して供給される。

【0034】一方、AND回路102にはプリンタIJRAから送られるイネーブル信号ENBの反転信号が供給されるので、イネーブル信号ENBが“ロウ”であるときのみ、ブロック選択信号N1～N16が発熱素子に供給され駆動されることになる。

【0035】なお、発熱素子の発熱時間とそのタイミングは、イネーブル信号ENB又は記録信号D1～D8で定めることができる。また、イネーブル信号をダブルパルスとした制御を行っても良い。この回路では、データのバース幅を制御すれば、個々の発熱素子毎にヒートパルスの幅を制御することができ、それによりインクジェットヘッドの吐出を細かく制御することも可能である。

【0036】図3に示した構成によれば、電源電圧(VH)の供給線と接地電圧(GH)の信号線とを含めて、15本の信号線(記録信号D1～D8の信号線が8本、ブロック制御信号B1～B4の信号線が4本、イネーブル信号ENB、電源電圧(VH)、接地電圧(GH)の信号線が各1本ずつ)がプリンタIJRAとの間に存在する。

【0037】従ってこの実施形態に従えば、プリンタIJRAから供給されるブロック制御信号をデコードしたブロック選択信号によって直接発熱素子が駆動されるのではなく、イネーブル信号とブロック選択信号とによって駆動されるので、例えば、デコーダの誤動作による発

熱素子の駆動がされる。

【0038】<記録ヘッドIJHの第2の実施形態>図5は記録ヘッドIJHの第2の実施形態に従う駆動回路の構成を示すブロック図である。この回路は第1の実施形態の記録ヘッドIJHに供給される記録信号D1～D8をシフトレジスタ及びラッチ回路を介して与えるように構成されている。図5において、103はプリンタIJRAから供給されるクロック信号CKに従って記録データDATAをシリアルに入力する8ビットシフトレジスタ、104はプリンタIJRAから供給されるラッチ信号LATCHに従って8ビットシフトレジスタ103に格納された8ビット分の記録データDATAをラッチする8ビットラッチ回路、105はイネーブル信号ENBと8ビットラッチ回路104にラッチされた8ビットのデータ各ビットとの論理積を演算するAND回路105である。

【0039】そして、AND回路105からの出力が記録信号D1～D8として発熱素子に供給される。これらの出力と4→16デコーダ100からの出力であるブロック選択信号N1～N16により発熱素子の駆動のタイミング及びバース幅を定める。この実施形態と第1実施形態とを比較すると、イネーブル信号ENBは正論理で動作するようになっている。即ち、イネーブル信号ENBが“ハイ”のときに発熱素子は駆動される。

【0040】図5に示した構成によれば、電源電圧(VH)の供給線と接地電圧(GH)の信号線とを含めて、10本の信号線(ブロック制御信号B1～B4の信号線が4本、記録データDATA、クロックCK、イネーブル信号ENB、ラッチ信号LATCH、電源電圧(VH)、接地電圧(GH)の信号線が各1本ずつ)がプリンタIJRAとの間に存在する。このようにこの構成は、第1実施形態で説明した構成と比較してさらに信号線の本数を減らすことができる。

【0041】図6は図5に示す構成の記録ヘッドIJHの駆動タイミングを示すタイムチャートである。このタイムチャートによれば、記録データを8ビットシフトレジスタ103にシリアル転送するタイミングと発熱素子を駆動するタイミングとが重複しないようになっている。さて、ノイズの発生はヒートパルス(イネーブル信号ENB)のエッジ付近に集中するが、図6のタイムチャートが示すような制御であれば、1回のデータ転送に対して、イネーブル信号ENBとデータ転送のタイミングが近接、或は、重複する可能性は、1回又は2回程度であるので、誤動作の可能性はほとんど無視できるようになる。

【0042】このように、プリンタIJRAのMPU1701がヘッドドライバ1705を介して制御することで、記録データの転送中に発熱素子の駆動による発熱素子などからのノイズが発生しないようにし、誤動作の可能性はほとんど無視し得るようにしている。

【0043】従ってこの実施形態に従えば、ノイズの発生原因となる発熱素子の駆動が記録データの転送中にならないように記録制御することで誤動作の発生を防止することができる。

【0044】さらには、駆動回路にシフトレジスタやラッチ回路を備えることで、プリンタIJRAと記録ヘッドとの信号線の本数をより減らすようにしている。これによって、記録ヘッドとプリンタとの間を接続するケーブルがより小さなものとなり、装置の小型化やコストの削減にも資する。

【0045】また、図6に示すように、記録データの転送を発熱素子の駆動が終了した後に行なう場合には、図5に示した8ビットラッチ回路104を省略することも可能であり、それにより回路規模を小さくすることも可能となる。

【0046】なお、以上の構成に第1実施形態と同じように、4→16デコーダ100の出力であるブロック信号N1～N16とイネーブル信号ENBとの論理積を求めるANDゲートを設けてもよい。このようにして誤動作により発熱素子が駆動されることを一層確実に防ぐことが出来る。

【0047】さらに、発熱素子の数が多い構成の記録ヘッドの場合には、シフトレジスタの容量をより大きくしても良いが、クロックの周波数を高めることなく多数の発熱素子を駆動するために、複数のシフトレジスタ及びラッチ回路を備え、デコーダは各々のシフトレジスタで駆動される発熱素子に共通に用いるように構成しても良い。

【0048】＜記録ヘッドIJHの第3の実施形態＞図7は記録ヘッドIJHの第3の実施形態に従う駆動回路の構成を示すブロック図である。この回路は第2の実施形態の記録ヘッドIJHに含まれる8ビットシフトレジスタ103に代えて、8つのフリップフロップ回路と3ビットのデータ選択信号S1、S2、S3をデコードする3→8デコーダが設けられている。図7において、106は3→8デコーダ、107はフリップフロップ回路である。

【0049】このような構成の駆動回路において、記録データDATAは第2実施形態と同様にシリアルに転送され、その転送データは1ビットずつ、3→8デコーダ106の出力に従って選択されたフリップフロップからラッチ回路104に記憶される。その他の点では第2実施形態と同様である。

【0050】この実施形態ではプリンタIJRAとの信号線の本数は12（ブロック制御信号B1～B4の信号線が4本、データ選択信号S1～S3の信号線が3本、記録データDATA、イネーブル信号ENB、ラッチ信号LATCH、電源電圧(VH)、接地電圧(GH)の信号線が各1本ずつ)となり、第2実施形態の構成のようにシフトレジスタを使用した場合と比較して、信号線の本

数は若干増す。しかし、シフトレジスタを使用した場合には、クロック信号CKに1パルス分のノイズが混入しただけでその時の転送データの並び全体がずれてしまい、異なる位置にドットが記録されるという問題があるが、この実施形態ではデータ転送中に同様にデータ1ビット分のノイズが混入しても誤動作の及ぶ範囲がその1ビットだけに限定される。

【0051】このように、この実施形態に従えば、ノイズ混入時の誤動作の及ぶ範囲をより局所化できるという利点がある。また、この実施形態のようにフリップフロップを用いた回路は、シフトレジスタ回路と比較してその回路規模が非常に小さいので、回路構造上も、ノイズによる誤動作の可能性を一層小さくすることができる。

【0052】さらに、この実施形態でも第2実施形態と同様に、発熱素子の数が多い構成の記録ヘッドの場合には、クロックの周波数を高めることなく多数の発熱素子を駆動するために、複数のラッチ回路や3→8デコーダを備えるように構成しても良い。

【0053】以上説明した記録ヘッドの駆動回路は、発熱素子の基板としてSiなどを用いる場合にはその基板に内蔵することができるし、或は、その駆動回路を発熱素子を有する基板として接続して用いるようにしても良い。さらに、その駆動回路は、発熱素子の基板に対して垂直方向にインクを吐出するいわゆるサイドシュータタイプの記録ヘッドにも、或は、その基板の端面から基板に平行方向にインク吐出するいわゆるエッジシュータタイプの記録ヘッドにも適用可能である。

【0054】また、以上説明した3つの実施形態の記録ヘッドは、その駆動回路の主要部が基本的にはマトリクス回路であり、ノイズによる誤動作が発生したとしても、その影響は発熱素子の駆動時間と比較して非常に短い、ノイズが発生した瞬間の僅か10nsec程度の時間だけであるので、インク吐出への影響を小さくできるという利点もある。

【0055】以上の実施形態は、特にインクジェット記録方式の中でも、インク吐出を行わせるために利用されるエネルギーとして熱エネルギーを発生する手段（例えば、電気熱変換体）を備え、前記熱エネルギーによりインクの状態変化を生起させる方式を用いることにより記録の高密度化、高精細化が達成できる。

【0056】その代表的な構成や原理については、例えば、米国特許第4723129号明細書、同第4740796号明細書に開示されている基本的な原理を用いて行うものが好ましい。この方式はいわゆるオンデマンド型、コンティニユアス型のいずれにも適用可能であるが、特に、本発明に従ってオンデマンド型とした場合には、液体（インク）が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して膜沸騰を越える急速な温度上昇を与える少なくとも1つの駆動信号を印加することによって、電気熱変

換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰を生じさせて、結果的にこの駆動信号に1対1で対応した液体（インク）内の気泡を形成できるので有効である。この気泡の成長、収縮により吐出用開口を介して液体（インク）を吐出させて、少なくとも1つの滴を形成する。この駆動信号をパルス形状をすると、即時適切に気泡の成長収縮が行われるので、特に応答性に優れた液体（インク）の吐出が達成でき、より好ましい。

【0057】このパルス形状の駆動信号としては、米国特許第4463359号明細書、同第4345262号明細書に記載されているようなものが適している。なお、上記熱作用面の温度上昇率に関する発明の米国特許第4313124号明細書に記載されている条件を採用すると、さらに優れた記録を行うことができる。

【0058】記録ヘッドの構成としては、上述の各明細書に開示されているような吐出口、液路、電気熱変換体の組み合わせ構成（直線状液流路または直角液流路）の他に熱作用面が屈曲する領域に配置されている構成を開示する米国特許第4558333号明細書、米国特許第4459600号明細書を用いた構成も本発明に含まれるものである。加えて、複数の電気熱変換体に対して、共通するスロットを電気熱変換体の吐出部とする構成を開示する特開昭59-123670号公報や熱エネルギーの圧力波を吸収する開口を吐出部に対応させる構成を開示する特開昭59-138461号公報に基づいた構成としても良い。

【0059】さらに、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているような複数記録ヘッドの組み合わせによってその長さを満たす構成や、一体的に形成された1個の記録ヘッドとしての構成のいずれでもよい。

【0060】加えて、上記の実施形態で説明した記録ヘッド自体に一体的にインクタンクが設けられたカートリッジタイプの記録ヘッドのみならず、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッドを用いてもよい。

【0061】また、以上説明した記録装置の構成に、記録ヘッドに対する回復手段、予備的な手段等を付加することは記録動作を一層安定にできるので好ましいものである。これらを具体的に挙げれば、記録ヘッドに対してのキャッピング手段、クリーニング手段、加圧あるいは吸引手段、電気熱変換体あるいはこれとは別の加熱素子あるいはこれらの組み合わせによる予備加熱手段などがある。また、記録とは別の吐出を行う予備吐出モードを備えることも安定した記録を行うために有効である。

【0062】さらに、記録装置の記録モードとしては黒色等の主流色のみの記録モードだけではなく、記録ヘッ

ドを一体的に構成するか複数個の組み合わせによっても良いが、異なる色の複色カラー、または混色によるフルカラーの少なくとも1つを備えた装置とすることもできる。

【0063】以上説明した実施の形態においては、インクが液体であることを前提として説明しているが、室温やそれ以下で固化するインクであっても、室温で軟化もしくは液化するものを用いても良く、あるいはインクジェット方式ではインク自体を30°C以上70°C以下の範囲内で温度調整を行ってインクの粘性を安定吐出範囲にあるように温度制御するものが一般的であるから、使用記録信号付与時にインクが液状をなすものであればよい。

【0064】加えて、積極的に熱エネルギーによる昇温をインクの固形状態から液体状態への状態変化のエネルギーとして使用せしめることで積極的に防止するため、またはインクの蒸発を防止するため、放置状態で固化し加熱によって液化するインクを用いても良い。いずれにしても熱エネルギーの記録信号に応じた付与によってインクが液化し、液状インクが吐出されるものや、記録媒体に到達する時点では既に固化し始めるもの等のような、熱エネルギーの付与によって初めて液化する性質のインクを使用する場合も本発明は適用可能である。このような場合インクは、特開昭54-56847号公報あるいは特開昭60-71260号公報に記載されるような、多孔質シート凹部または貫通孔に液状または固形物として保持された状態で、電気熱変換体に対して対向するような形態としてもよい。本発明においては、上述した各インクに対して最も有効なものは、上述した膜沸騰方式を実行するものである。

【0065】さらに加えて、本発明に係る記録装置の形態としては、コンピュータ等の情報処理機器の画像出力端末として一体または別体に設けられるものの他、リーダー等と組み合わせた複写装置、さらには送受信機能を有するファクシミリ装置の形態を取るものであっても良い。

【0066】なお、本発明は、複数の機器（例えば、ホストコンピュータ、インタフェース機器、リーダー、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0067】

【発明の効果】以上説明したように本発明によれば、M個ずつN個のブロックに分割されてM個ずつN回に分けて分割駆動されるM×N個の記録素子と、M×N個の記録素子に通電して駆動するM×N個の駆動回路と、M個の記録素子に対応した記録データを入力する入力回路とを備え、その駆動回路により記録素子を駆動する場合には、分割駆動されるブロックをブロック選択信号によって選択し、入力回路から入力される記録データとプロ

【0068】また、請求項4や請求項6に記載の発明によれば、記録データをシリアルに入力することでその記録ヘッドを用いる記録装置との信号線の数を減らしたり、或は、入力記録データのホールドのためにフリップフロップを用いることで回路規模をより小さくすることができるので、記録ヘッドそれ自体とその記録装置の小型化やコストの削減に貢献できる。

【図面の簡単な説明】

【図2】インクジェットプリンタ I J R A の制御回路の構成を示すブロック図である。

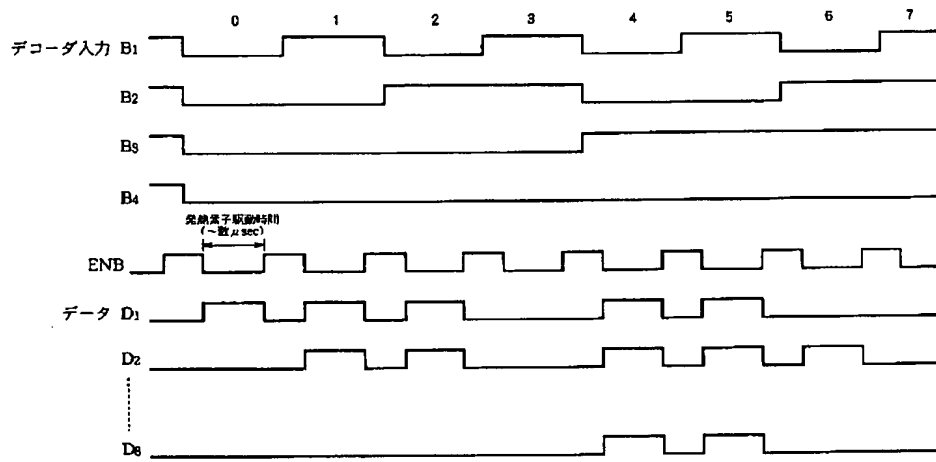
【図 7】記録ヘッド I J H の第 3 の実施形態に従う駆動回路の構成を示すブロック図である。

I J H 記録ヘッド

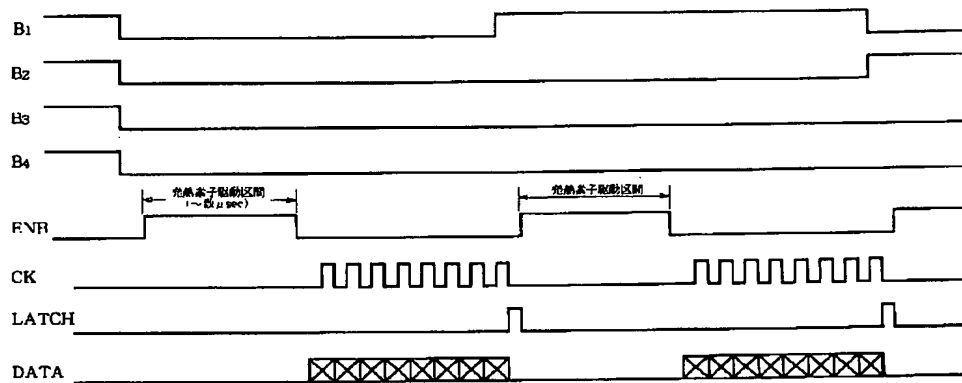
The block diagram illustrates the control system for the recording apparatus. At the top, the 'インタフェース' (Interface) block (1700) is connected to the 'MPU' (Microprocessor Unit) (1701) and the 'G. A.' (Gate Amplifier) (1704). The 'MPU' (1701) is bidirectionally connected to the 'ROM' (Read-Only Memory) (1702). The 'G. A.' (1704) is bidirectionally connected to the 'D RAM' (Dynamic Random Access Memory) (1703). On the right side, the 'MPU' (1701) controls three driver blocks: 'ヘッドドライバ' (Head Driver) (1705), 'モータドライバ' (Motor Driver) (1706), and 'モータドライバ' (Motor Driver) (1707). These drivers are connected to the '記録ヘッド' (Recording Head) (1709), '搬送モータ' (Transport Motor) (1709), and 'キャリアモータ' (Carrier Motor) (1710) respectively. The '記録ヘッド' (1709) is also connected to the 'I/H' (Input/Output) block.

Figure 1 is a block diagram of a 4-bit to 16-bit decoder circuit. The circuit includes a 4-to-16 decoder (100) with inputs B₁, B₂, B₃, B₄ and outputs N₁ to N₁₆. An enable signal ENB is inverted by a NOT gate (101) and then connected to a NAND gate (102). The NAND gate (102) also receives a 16-bit bus signal. The outputs of the decoder are connected to a series of AND gates (A₁ to A₁₂₈) and transistors (T₁ to T₁₂₈) in a multi-stage configuration. The circuit is powered by GND and +V_{cc}.

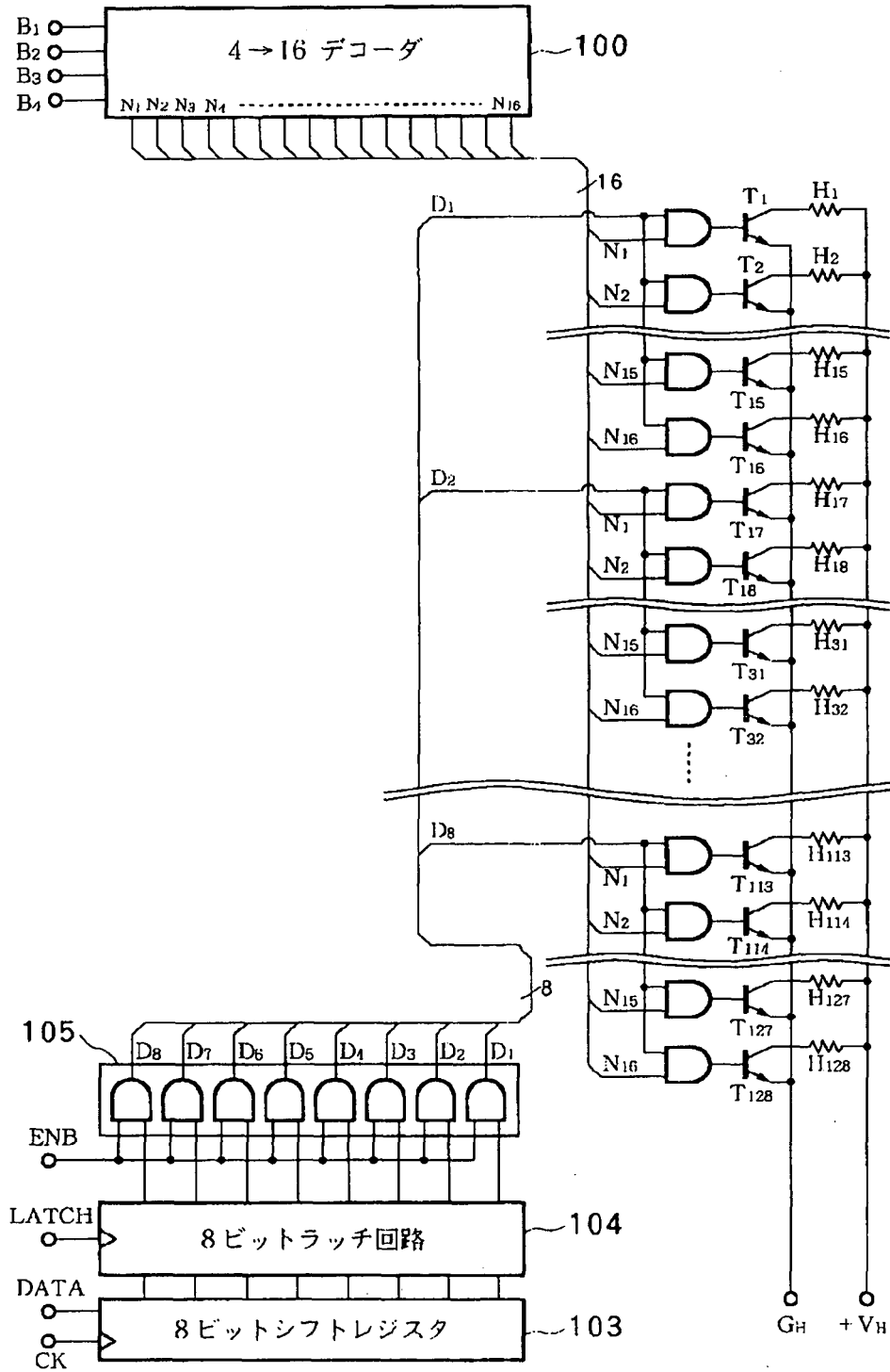
【図 4】



【図 6】



【図5】



【圖 7】

